

### 2.3 GENERACIÓN DE UN TREN DE PULSOS DE ANCHO VARIABLE AUTOSINCRONIZADO

#### USO DEL COMPARADOR DE SALIDA TIPO “BUFFERED”

Preparado por: Rangel Alvarado  
Estudiante Graduando de Lic. en Ing. Electromecánica  
Universidad Tecnológica de Panamá  
Panamá, Panamá  
“e-mail”: [issaiass@cwpanama.net](mailto:issaiass@cwpanama.net)  
“web site”: <http://www.geocities.com/issaiass/>

| ÍNDICE |  |
|--------|--|
| 2.3.1  | Introducción 206   |
| 2.3.2  | Comparación de Salida Sincronizada (“Output Compare Buffered”) 207 |
| 2.3.3  | Registros de Estado y Control en Modo Sincronizado 207             |
| 2.3.4  | Interrupción del Canal 209   |
| 2.3.5  | Diagrama de Flujo 209  |
| 2.3.6  | Código 211   |
| 2.3.7  | Simulación 217   |
| 2.3.8  | Conclusión 218   |
| 2.3.9  | Referencias 219  |
| 2.3.10 | Problemas Propuestos 219   |

#### 2.3.1 Introducción

---

El uso de la Comparación de Salida (“Output Compare”), resulta bastante conveniente para generar trenes de pulsos, indicar a un circuito externo cuando este debe ser activado o indicar el tiempo transcurrido por medio de un conteo interno de “software”.

El objetivo es utilizar el mismo modo de comparación de salida, pero del tipo “buffered”. El modo “buffered” permite entre algunas cosas la sincronía entre dos canales de temporización, es decir, que ambos canales están vinculados y comprometidos para atender una señal temporizada, solo por un pin (PTD4). El autosincronismo es un tanto parecido a la acción de la impresora. Cuando se envían varios documentos hacia la impresora, estos esperan hasta que finalice el actual, y le sigue el que está en cola.

En nuestra nota se tratará de:

- Aplicar el modo “Output Compare Buffered” para generar una **tren de anchos variable de encendido y apagado** y demostrar el autosincronismo de canales del temporizador.
- Simular: utilizar breakpoints para visualizar el autosincronismo de los canales.

*Nota: Se asume un dominio de la NT0101, NT0102 y se hace referencia cruzada a la misma si es necesario.*

### 2.3.2 Comparación de Salida Sincronizada (“Output Compare Buffered”)

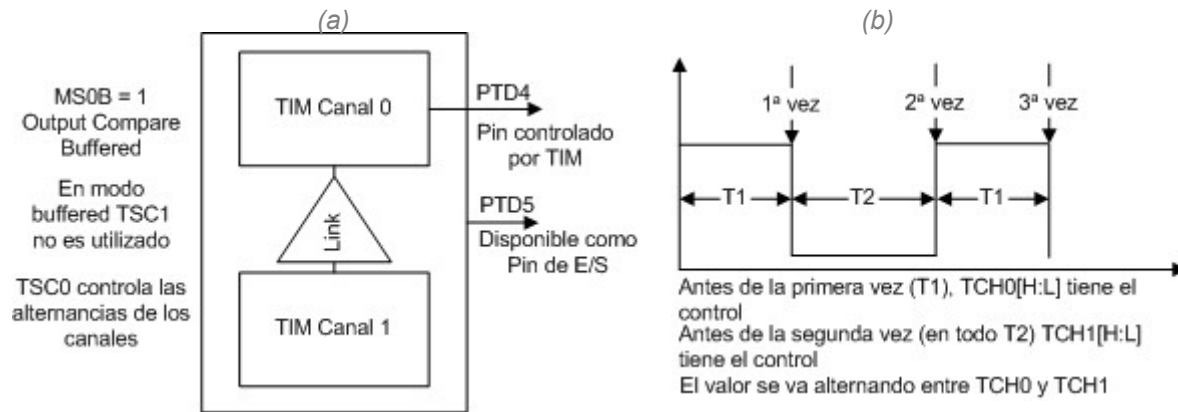


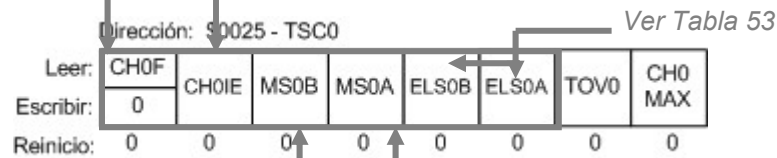
Figura 126. Modo de Comparación de Salida Sincronizada. (a) Función del “Output Compare Buffered”. Al imponer MS0B a 1 habilita el modo “buffered”, el registro del canal 0 (TCH0) inicialmente toma control, pero es luego retomado por el canal 1 (TCH1) y el registro de control TSC0 realiza los cambios. (b) Tren variable de pulsos. El modo “buffered” es utilizado por medio de sumas sucesivas a los valores de T1 a TCH0 y T2 a TCH1, siendo estos los canales no activos de momento.

Nota: Para que TCH1 tenga control, debe de haber pasado un sobreflujo del canal (TOF = 1). No escriba sobre el canal de momento..

### 2.3.3 Registros de Estado y Control en Modo Sincronizado

#### 2.3.3.1 Registros de Estado y Control para Modo “Buffered” – TSC0

- 0 = No ha ocurrido un desborde de conteo.
- 1 = Ocurrió un desborde de Conteo TCH0[H:L] > TCNT[H:L].
- 0 = Interrupción del Canal Deshabilitada.
- 1 = Interrupción del Canal Habilitada.



- 0 = Comparación de Salida “Buffered” desactivada.
- 1 = Comparación de Salida “Buffered” activada.
- 1 = Comparación de Salida “Unbuffered”.
- 0 = Captura de Entrada.

Nota: Si ELS0[B:A] ≠ 0:0, la combinación MS0A es válida.

Tabla 53. Modo de Comparación de Salida “Unbuffered”

| Comparación de Salida [Buffered]       | MS0B | MS0A | ELS0B | ELS0A |
|--|------|------|-------|-------|
| Conmuta en la comparación de salida    | 1    | N    | 0     | 1     |
| Borra en la comparación de salida      | 1    | N    | 1     | 0     |
| Impone uno en la comparación de salida | 1    | N    | 1     | 1     |

- MS0B = Modo de Selección del Canal 0, Bit B. [Mode Select Bit B].
- MS0A = Modo de Selección del Canal 0, Bit A. [Mode Select Bit A].
- ELS0B = Nivel de Selección del Canal 0, Bit B. [Edge Level Select Bit B].
- ELS0A = Nivel de Selección del Canal 0, Bit A. [Edge Level Select Bit A].

Figura 127 (inferior-izquierda). Registro de Estado y Control del Canal del TIM. Con la ayuda de la tabla 53, configure el registro para generar trenes de pulsos haciendo que conmute al comparar.

**2.3.3.2 Configuración de Comparación de Salida en Modo “Buffered”**

Refiérase en esta sección a la NT0012 – Sección 1.12.3 y NT0101 – Sección 2.1.3.

Configure el Temporizador para una Comparación de Salida tipo “Buffered” y generar anchos de doscientos milisegundos (T1 = 200 ms) y de ochocientos milisegundos (T2 = 800 ms). Utilice un PS de cinco (5), conmute al comparar la salida y habilite las interrupciones del Canal 0. Nota: En el modo “buffer”, solo se puede extraer una señal por el Canal 0 de tipo temporizada, el PTD5 sirve ahora como puerto de E/S (entrada/salida).

$$TCH0[H : L] = \frac{t_1 \cdot f_{xtal}}{2^{2+PS}} = \frac{0.2 \cdot 4.9152 \times 10^6}{2^{2+5}} = 7680_{10} = 1E00_{16}$$

$$TCH1[H : L] = \frac{t_2 \cdot f_{xtal}}{2^{2+PS}} = \frac{0.8 \cdot 4.9152 \times 10^6}{2^{2+5}} = 30720_{10} = 7800_{16}$$

R = Reservado  
 = No implementado

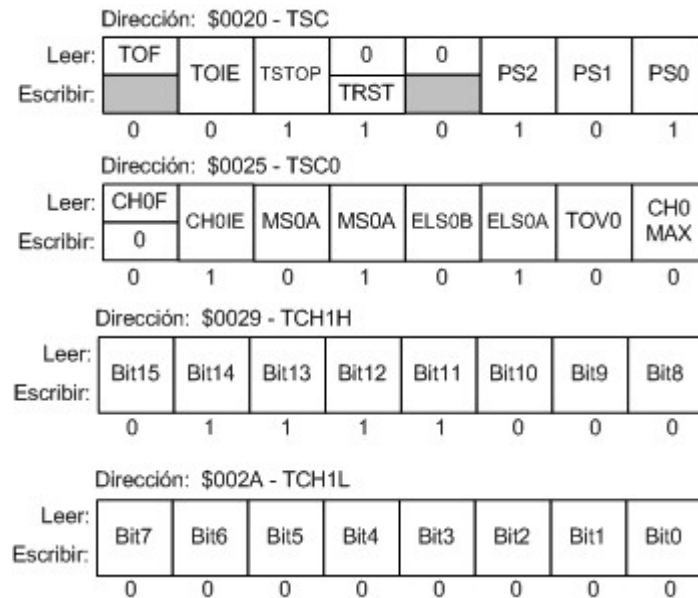
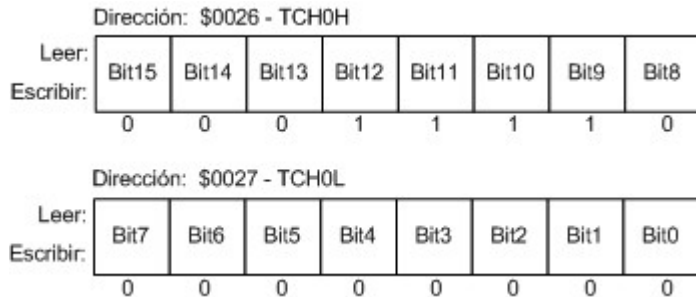


Figura 128. Configuración de una Comparación de Salida “Buffered”. (a) Valores a depositar en los registros para interactuar con el canal 1 y canal 0 vinculados. (b) Configuración de registros de Estado y Control del temporizador y el canal. (c) Registros del Canal con valores de anchos de pulsos variables.

### 2.3.4 Interrupciones del Canal

En esta sección ver tabla 54

Si en algún momento, la bandera se levanta (CHXF = 1) y la máscara está habilitada (CHXIE = 1), el temporizador puede generar un evento de interrupción.

Tabla 54. Vectores de Interrupción del Canal del Temporizador

| Bandera | Máscara | Dirección | Vector (Dirección)     |
|---------|---------|-----------|------------------------|
| CH1F    | CH1IE   | FFF4      | Canal 1 del TIM (Alto) |
|         |         | FFF5      | Canal 1 del TIM (Bajo) |
| CH0F    | CH0IE   | FFF6      | Canal 0 del TIM (Alto) |
|         |         | FFF7      | Canal 0 del TIM (Bajo) |

### 2.3.5 Diagrama de Flujo

El siguiente programa hace conmutar un LED conectado al puerto PTD4 a intervalos variables de tiempo generando así anchos de pulso diferentes de 0.2 y 0.8 segundos.

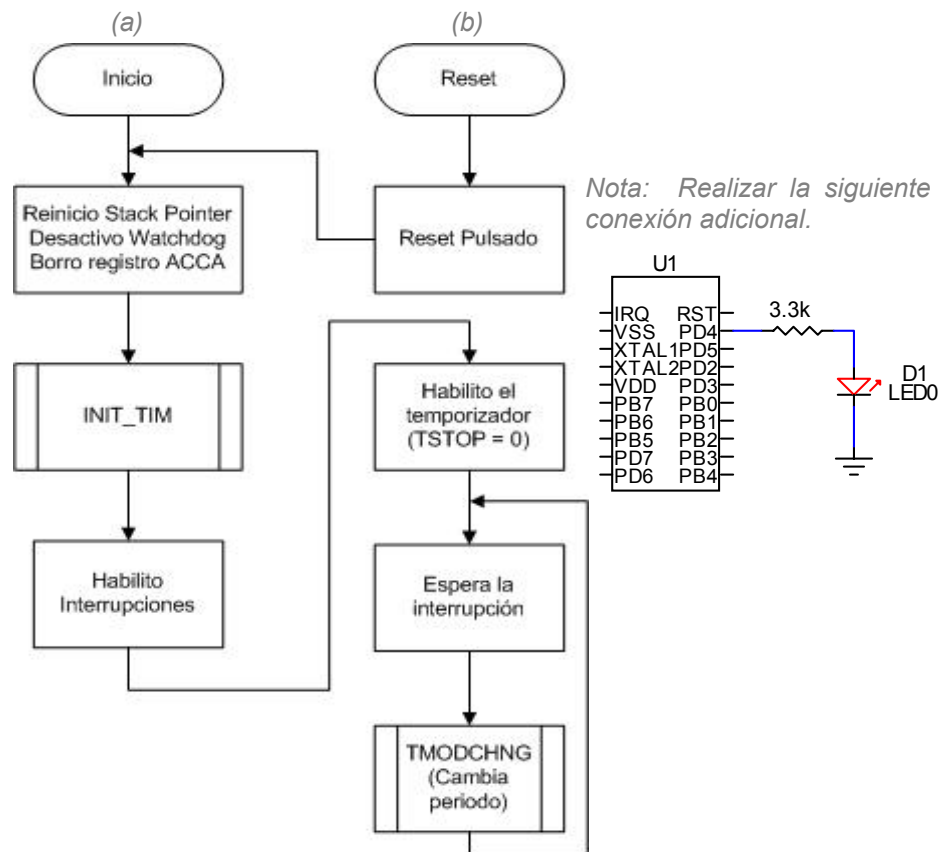


Figura 129. NT0103 – “Timer” – “Output Compare Buffered”. (a) Programa Principal. Inicializa el temporizador en modo de comparación de salida en modo “buffered”. (b) Reinicio del sistema. Al presionar “reset”, el sistema reinicia automáticamente.

NT0013

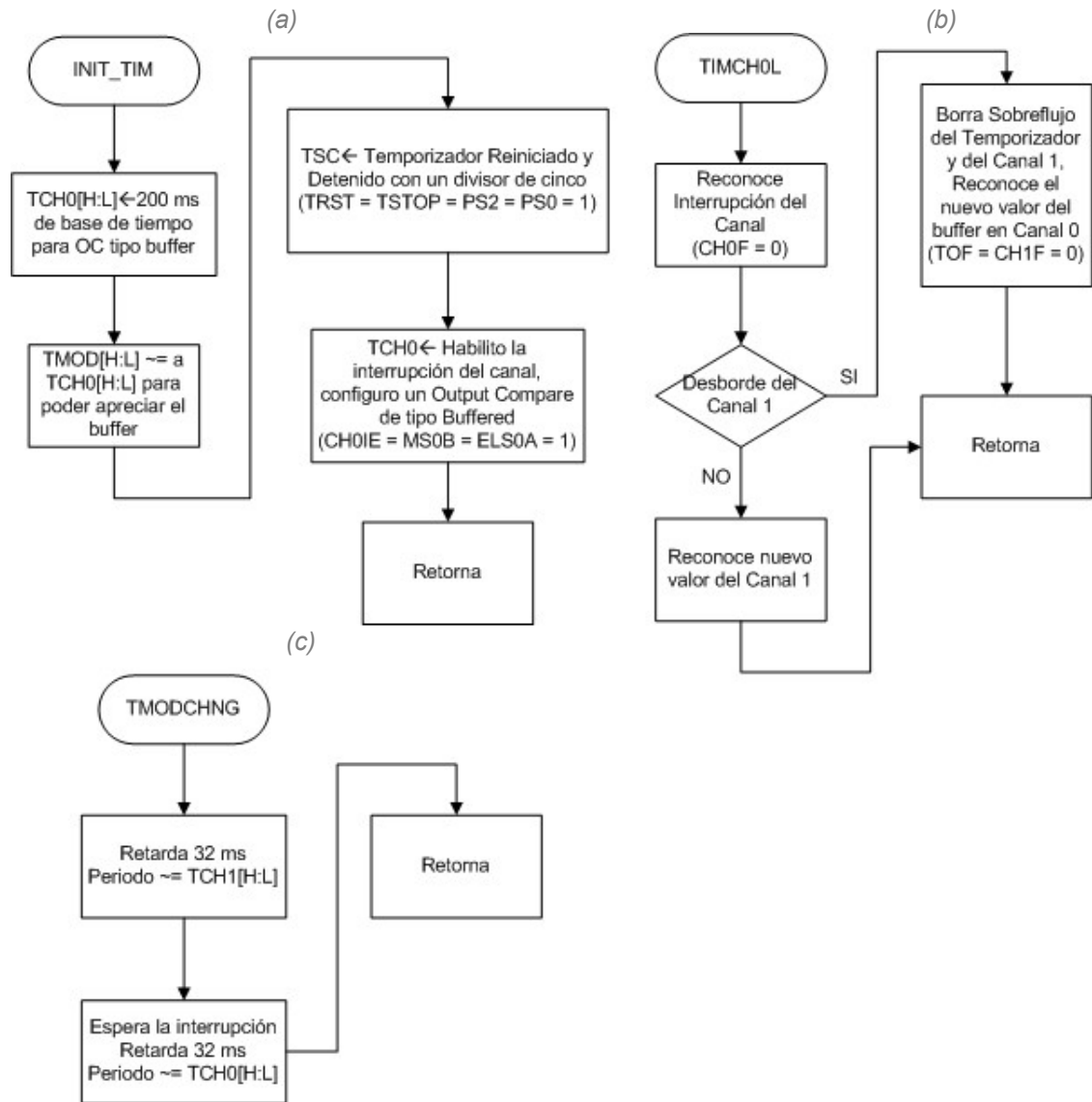


Figura 130. NT0013 – “Timer” – “Output Compare Buffered” – Subrutinas. (a) Inicialización de “Output Compare Buffered”. Inicializa el temporizador en modo de comparación de salida en modo “buffered” para generar un tren de pulsos en la salida PTD4. (b) Interrupción. Se utiliza la misma interrupción para cambiar, pero en este caso reconocer el valor del “buffer”. (c) Cambio de Período. El periodo de la comparación de salida es aproximadamente igual al de los canales, dado su momento para preservar la acción del “buffer”.

## 2.3.6 Código

```
=====
; ARCHIVO      : NT0103 - Timer - Output Compare Buffered - 03 06 04.asm
; PROPÓSITO   : Genera por medio de una base de tiempo inicial de 800ms el
;               conmutado de un LED (PTD4).
;               - Observar la configuración del Canal del temporizador.
;               - Generación de un Output Compare Buffered (variable)
;               P.D.: Agregar una resistencia limitadora al PTD4 de 3.3k con
;               un LED con su cátodo a tierra.
; NOTA        :
;               1 - Observar el resultado de la temporización en el LED PTD4
;               2 - Observar el resultado del registro TIM en las localidades
;               TSC1, TCH1[H:L], TCH0[H:L].
; REFERENCIA:
;               Advanced Information of MCU68HC908JK1, JK3, JL3...
;               http://www.freescale.com/files/microcontrollers/
;               doc/data_sheet/MC68HC08JL3.pdf
;               Pág. 109 - Descripción Funcional
;               Pág. 115 - Interrupción
;               Págs. 121 @ 125. - Información de registros
;
; LENGUAJE    : IN-LINE ASSEMBLER
;-----
; HISTORIAL
; DD MM AA
; 11 03 03 Creado.
; 05 08 04 Modificado.
;-----
;Pasos para iniciar el TIM:
;
; 1 - Definir del registro TSC o registro de
; control del TIM:
;   ¿Necesito o no interrupciones? (TOIE)
;   ¿Cuál que valor de divisor ajustar? (PS[2:0])
; 2 - Definir el registro TMOD[H:L] como módulo máximo de
; conteo TMOD[H:L] = t*fxtal/(2^(2+PS))
; 3 - Habilitar Interrupciones globales (cli)
; 4 - Habilitar el temporizador (TSTOP = 0)
; 5 - Configurar el vector interrupción ($FFF2)
; 6 - Escribir el código de la interrupción y su retorno (rti)
;
;Pasos para iniciar el Canal del TIM
; 1 - Definir del registro TSCX registro de
; control del canal del TIM:
;   ¿Necesito o no interrupciones? (CHXIE)
;   ¿Input Capture, Output Compare, PWM?
;   ¿Inicio en bajo o en alto? (MSXB,MSXA,ELSXB,ELSXA)
; 2 - Definir el registro TCHX[H:L] como módulo de comparación
; TCHX[H:L] = D * TMOD[H:L], D = valor en porcentaje
; 3 - Configurar el vector interrupción ($FFF4 - CH1
```

**NT0013**

**Rev. 1 del 06.08.05**

```

;          $FFF6 - CH0)
;          4 - Escribir el código de la interrupción y su retorno (rti)
;=====
$SET  ICS08          ; ICS08 = 1, Vamos a simular en la pastilla
;                   ; la velocidad de simulación es menor en la
;                   ; PC.
;                   ; ICS08 = 0, Vamos a programar la pastilla
;$SETNOT ICS08      ; la aplicación debe correr en tiempo real
;                   ; Si se va a simular
$IF ICS08
T1H      equ $005A   ; 200 ms de base de tiempo, canal 0, simulado
T2H      equ $007F   ; 800 ms de canal 1, simulado
TSLICE1  equ $00B0   ; Valor base del TMODH, simulado
$ELSEIF
T1H      equ $1E00   ; De lo contrario
;                   ; T1[H:L] 200 ms de base de tiempo, canal 0,
;                   ; simulado
T2H      equ $7800   ; T2[H:L] 800 ms de canal 1
TSLICE1  equ $1E02   ; Valor base del TMODH, cambio de mayor a
;                   ; menor período
TSLICE2  equ $7802   ; Valor base del TMODH, cambio de menor a
;                   ; mayor período
$ENDIF              ; Fin de la compilación condicional

;=====
;          Definiciones del Usuario
;=====
COPD     equ 0T      ; Bit 0 del registro CONFIG1
BIT5     equ 5T      ; TSC, Bit de Inicio de Conteo, Bit 5 ON
CH0F     equ 7T      ; TSC0, Bit de Salida Comparada
CH1F     equ 7T      ; TSC1, Bit de Salida Comparada
TOF      equ 7T      ; TSC, Bit de desborde del temporizador, Bit 7
;                   ; ON
TRST     equ %00010000 ; TSC, Bit de Reinicio de conteo, Bit 4 ON
TSTOP    equ %00100000 ; TSC, Bit de pausa, Bit 5 ON
PS2      equ %00000100 ; Preescalar del Temporizador, Bit 2
PS0      equ %00000001 ; Preescalar del Temporizador, Bit 0
CH0IE    equ %01000000 ; Habilito interrupciones, canal 1
MS0B     equ %00100000 ; Output Compare Tipo Buffered activado
MS0A     equ %00010000 ; Output Compare Tipo Unbuffered
ELS0A    equ %00000100 ; Bit de Selección de flanco, activa...
;                   ; la señal en uno lógico al comparar
CH1IE    equ %01000000 ; Habilito interrupciones, canal 1
MS1A     equ %00010000 ; Output Compare Tipo Unbuffered
ELS1B    equ %00001000 ; Bit de Selección de flanco, activa...
;                   ; la señal en uno lógico al comparar

;=====
;          Mapa de Memoria del Microcontrolador
;=====
;=====
;          Registro de Configuraciones
;=====
CONFIG1  equ $001F   ; Vectores de configuración

```

```

=====
;
;                               Registro de Temporizador
=====
TSC          equ $0020          ; Dirección, registro de estado y control del
;                               ; TIM
TCNTH        equ $0021          ; TCNT, Registro almacenador de cuenta del
;                               ; módulo, registro alto.
TCNTL        equ $0022          ; TCNT, Registro almacenador de cuenta del
;                               ; módulo, registro bajo.
TMODH        equ $0023          ; TMODH, Registro de cuenta del módulo,
;                               ; registro alto.
TMODL        equ $0024          ; TMODH, Registro de cuenta del módulo,
;                               ; registro bajo.
TSC0         equ $0025          ; Dirección, registro de estado y control del
;                               ; TIM Canal 1
TCH0H        equ $0026          ; TCH0H, Registro almacenador de
;                               ; comparación de la salida, registro alto.
TCH0L        equ $0027          ; TCH0L, Registro almacenador de
;                               ; comparación de la salida, registro bajo.
TSC1         equ $0028          ; TSC1, Registro de estado y control del TIM
;                               ; Canal 1
TCH1H        equ $0029          ; TCH1H, Registro almacenador de
;                               ; comparación de la salida, registro alto.
TCH1L        equ $002A          ; TCH1L, Registro almacenador de
;                               ; comparación de la salida, registro bajo.
=====
;
;                               Memoria FLASH
=====
FLASH_START equ $EC00          ; Puntero - Mem.FLASH

=====
;
;                               Vectores de Usuario
=====
TIMCH0H     equ $FFF6          ; Vector de Sobreflujo del TIM, Canal 0(Alto)
RESET_VEC   equ $FFFE          ; Puntero del RESET

=====
; OBJETIVO : Inicio de Codif. del Ensam-
;                               ; blador en Memoria FLASH.
=====
org FLASH_START          ; Inicio Mem. FLASH
    
```



```

;=====
; OBJETIVO   : Configura el TIM para generar
;              una tren de 200 milisegundos
;              y de 800 milisegundos.
;=====
START
    rsp                ; Inic.Stack = $00ff
    bset COPD,CONFIG1 ; Desactiva watchdog
    clra               ; Borra A
    jsr INIT_TIM       ; Inicializa TIM
    cli                ; Habilita Interrupciones
    bclr BIT5,TSC      ; Inicia el temporizado (TSTOP = 0)
ESPERA
    wait               ; Espera la interrupción.
    jsr TMODCHNG       ; Cambia el período para demostrar
                       ; el uso del buffer
    bra ESPERA         ; Salta al modo de bajo consumo

;=====
; INIT_TIM    : Inicializa el TIM
; OBJETIVO    : Inicialización del tempori-
;              zador.
;              Base de tiempo de 200ms
; ENTRADA    : Ninguna
; SALIDA     : Ninguna
; REGISTROS
; AFECTADOS  : TSC, TCH0H, TCH0L, TSC0
;=====
INIT_TIM
    ldhx #T1H          ; Programa H:X para cargar al módulo con
                       ; 200ms de retardo
    sthx TCH0H         ; Almacena en TCH0H
    ldhx #TSLICE1      ; H:X = TSLICE1
    sthx TMODH         ; H:X -> TMODH
$IF ICS08
    mov #{TRST|TSTOP},TSC ; Reinicia el temporizador
                       ; PS[2:0] = 0, el temporizador se encuentra
                       ; detenido
                       ; por defecto.
$ELSEIF
    mov #{TRST|TSTOP|PS2|PS0},TSC ; Reinicia el temporizador
                       ; PS[2:0] = 5, el temporizador se encuentra
                       ; detenido por defecto.
$ENDIF
    mov #{CH0IE|MS0B|ELS0A},TSC0 ; Habilito Interrupciones del canal y configuro
                       ; un Output Compare Buffered, conmuto al
                       ; sobreflujo del temporizador el puerto.
    rts                ; retorna

```

```

;=====
; TMODCHNG : Subrutina, cambio de periodo.
; OBJETIVO : Solo demostrativa, cambia el
;           período para demostrar el uso
;           correcto del OC tipo buffer
; ENTRADA : Ninguna
; SALIDA : Ninguna
; REGISTROS
; AFECTADOS : A, H:X, TMODH, TMODL
;=====
TMODCHNG
$IFNOT ICS08 ; Si no estamos simulando
    lda #$20 ; A = $20
    dbnza * ; A = A - 1, ¿A = 0?
    ldhx #TSLICE2 ; H:X = TSLICE 2
    sthx TMODH ; H:X -> TMODH
    wait ; Espera la interrupción
    lda #$20 ; A = $20
    dbnza * ; A = A - 1, ¿A = 0?
    ldhx #TSLICE1 ; H:X = TSLICE1
    sthx TMODH ; H:X -> TMODH
$ENDIF ; Fin, compilación condicional
    rts ; retorna
    
```

```

;=====
; TIMCH0L : Interrupción del Canal 0 del
;           TIM y sobreflujos simulada
; OBJETIVO : Reconocer las interrupciones
;           Cambia al otro tipo de pulso
;           en buffer.
; ENTRADA : Ninguna
; SALIDA : Ninguna
; REGISTROS
; AFECTADOS : TSC0, TCH1H, TCH1L, H:X
;           TCH0H, TCH0L, TSC1
;=====
TIMCH0L
    bclr CH0F,TSC0 ; Reconoce la interrupción del Canal 0
    brset CH1F,TSC1,TCH0 ; ¿Ocurrió interrupción Canal 1?
    ldhx #T2H ; NO, H:X = T2
    sthx TCH1H ; H:X -> TCH1H, renueva valor de OC
    ; buffered
    bra OUTTIM ; salir de la interrupción
TCH0 bclr TOF,TSC ; Borra bit de sobreflujo de conteo
    bclr CH1F,TSC1 ; Reconoce interrupción del Canal 1
    ldhx #T1H ; H:X = T1
    sthx TCH0H ; H:X -> TCH0H
OUTTIM
    rti ; Retorna de la interrupción
    
```

```

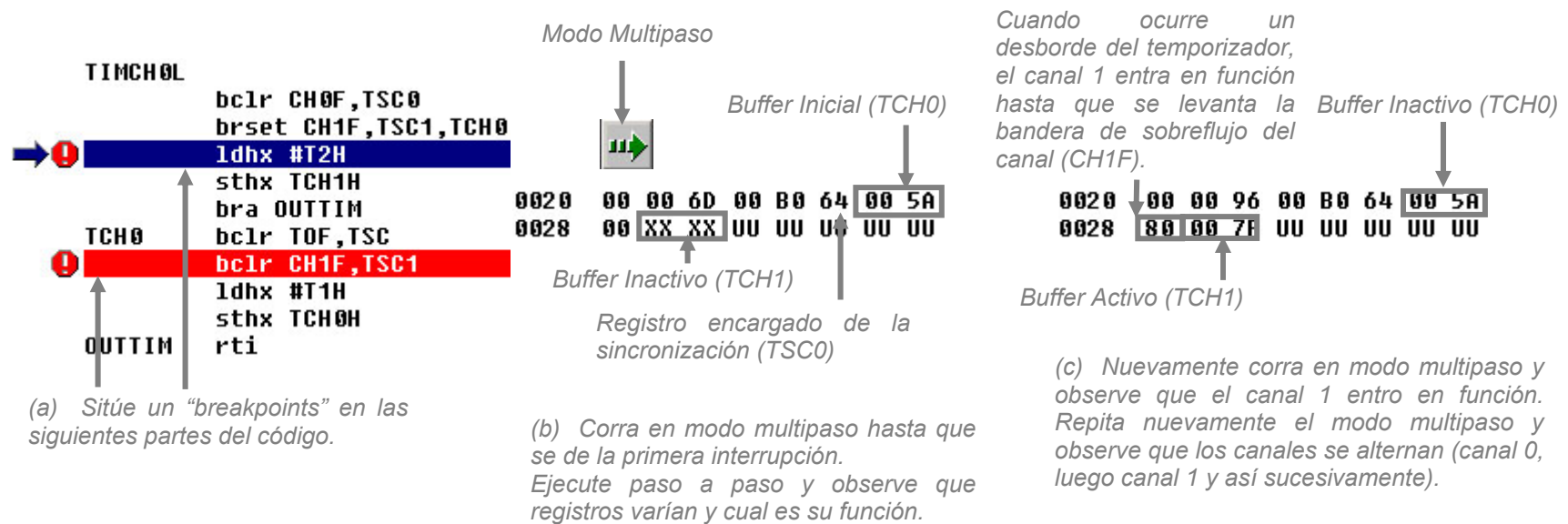
;=====
; OBJETIVO   : Inicializa el Vector de Reset
;              Arranque del programa en la
;              memoria Flash y búsqueda de la
;              interrupción del canal del
;              temporizador.
;=====
;===== Vectores del TIM, sobreflujo y comparación =====
org TIMCH0H           ; Inicio de los vectores del TIM
dw TIMCH0L           ; Desborde del contador del Canal
;===== Vector de Reinicio de Sistema =====
org RESET_VEC        ; Puntero Vec - RESET
dw START             ; al darse reset salta a Start

```

*Listado 12. NT0103 – “Timer” – “Output Compare Buffered”. El programa responde a inicializar el temporizador, canal 1 para generar un “Output Compare Unbuffered” simplemente para generar un tren de pulsos que pudiese servir como señal a un circuito externo.*

### 2.3.7 Simulación

Para el uso de esta sección se asume tener dominio de la NT0006 (Sección 1.6.4), NT0009 (Sección 1.9.5) y NT0101 (Sección 2.2.2).



(a) Sitúe un “breakpoints” en las siguientes partes del código.

(b) Corra en modo multipaso hasta que se de la primera interrupción. Ejecute paso a paso y observe que registros varían y cual es su función.

(c) Nuevamente corra en modo multipaso y observe que el canal 1 entro en función. Repita nuevamente el modo multipaso y observe que los canales se alternan (canal 0, luego canal 1 y así sucesivamente).

Figura 131. Simulación del Programa Principal. (a) “Breakpoint”. Sitúe varios “breakpoints” para observar el modo de operación tipo “buffer” de ambos canales unidos. (b) “Buffer” Inicial, Canal 0. Luego de la primera interrupción, el canal 0, comandado por TCH0 tenía el control. (c) Siguiete valor del “buffer”, Canal 1. Luego del sobreflujo del temporizador (TOF = 1), el canal 1 entra a interactuar, y al generarse la igualación con el conteo (TCNT), levanta la bandera de sobreflujo del canal (CH1F). La operación se repite alternando los canales 0 y 1 sucesivamente.

- (a) Inicie WinIDE.
- (b) Cargue el archivo NT0103 – Timer – Output Compare Buffered – 03 05 04.asm.
- (c) Compile.
- (d) Entre al simulador.
- (e) Añada “breakpoints” según la figura 131(a).
- (f) Corra su programa paso a paso y en la sección de llamado a la rutina de inicialización del temporizador (INIT\_TIM) observe la configuración de un comparador de salida tipo “buffer”.
- (g) Corra su programa y espere a la llegada del “breakpoint”. Cuando la cuenta iguala al registro del canal, se da una interrupción comandada por el “buffer” inicial TCH0, figura 131(b).
- (h) Nuevamente corra su programa y observe que cuando existe el sobreflujo del temporizador (TOF = 1) y se halla desbordado la cuenta del canal 1 (CH1F = 1), el canal 1 todavía tenía control del temporizado, figura 131(c).
- (j) Si desea “quemar” su pastilla, revisar la NT0009, Sección 1.9.5.

Nota: Recuerde mover su compilación condicional si desea que su programa corra en tiempo real:

```
; $SET ICS08  
$SETNOT ICS08
```

## 2.3.8 Conclusión

---

El temporizador fue utilizado para generar un tren de pulsos, configurándolo en el modo “Output Compare” o Comparación de Salida, pero de tipo “buffer”, el cual permite unir ambos canales del temporizador. Se le dice “Output Compare Buffered”, pues ambos canales se alternan consecutivamente, previniendo la mala sincronización, problema que posee el “Output Compare tipo Unbuffered”.

Para fin demostrativo se hizo un tren de pulsos de doscientos milisegundos (200 ms) de tiempo de encendido y de ochocientos milisegundos (800 ms) de tiempo de apagado y se utilizó la interrupción del canal, ayudado de los “breakpoints” para visualizar el desborde de conteos de cada canal y el “buffer”.

## **2.3.9 Referencias**

---

### **2.3.9.1 Información Avanzada sobre el Microcontrolador**

(a) [http://www.freescale.com/files/microcontrollers/doc/data\\_sheet/MC68HC08JL3.pdf](http://www.freescale.com/files/microcontrollers/doc/data_sheet/MC68HC08JL3.pdf)

*Pág. 109 – Descripción de la Función de Comparación de Salida, Sección 10.5.3*

*Pág. 110 – Función de Comparación de Salida tipo “Buffer”, Sección 10.5.3.2*

*Pág. 115 – Interrupción de desborde del Canal, Sección 10.6, párrafo 2.*

*Págs. 117 – 121. - Información de registros de Control del Canal*

*Pág. 124 – Tabla de selección de modos del temporizador, Tabla 10-3.*

### **2.3.9.2 Manual de Referencia del CPU**

(a) [http://www.freescale.com/files/microcontrollers/doc/ref\\_manual/CPU08RM.pdf](http://www.freescale.com/files/microcontrollers/doc/ref_manual/CPU08RM.pdf)

### **2.3.9.3 Página “web” sobre esta Nota Técnica**

(a) <http://www.geocities.com/issaiass/>

## **2.3.10 Problemas Propuestos**

---

2.3.10.1 Generar una Comparación de Salida (“Output Compare”) tipo “buffer” de veinte mil milisegundos (20000 ms) y de quinientos milisegundos (500 ms), fija por el Canal 0, habilite las interrupciones del canal, PS = 2.