

1.3 COMPUERTAS LÓGICAS, “FLIP-FLOPS” Y CONTADORES PREPARATIVO PARA EL ENTENDIMIENTO DE LOS MICROCONTROLADORES

ÍNDICE

Preparado por: Rangel Alvarado	1.3.1 <i>Introducción</i>	45
Estudiante Graduando de Lic. en Ing. Electromecánica	1.3.2 <i>Estados Lógicos, Entradas y Salidas</i>	46
Panamá, Panamá	1.3.3 <i>Compuertas Lógicas Básicas</i>	47
“e-mail”: issaiass@cwpanama.net	1.3.4 <i>Combinación de Compuertas</i>	48
“web site”: http://www.geocities.com/issaiass/	1.3.5 <i>“Flip-Flops”</i>	49
	1.3.6 <i>Contadores</i>	55
	1.3.7 <i>Conclusión</i>	56
	1.3.8 <i>Referencias</i>	57
	1.3.9 <i>Problemas Propuestos</i>	58

1.3.1 Introducción

En esta sección se estudiarán los diferentes tipos de componentes básicos de la electrónica digital. El entendimiento de dispositivos digitales es básico para la iniciación de microcontroladores, y cubre aspectos como:

- Las compuertas lógicas y combinación de compuertas: siguen una secuencia simple, y se basan en el álgebra booleana¹, estos dispositivos procesan la información proveniente de las entradas y generan una salida, cuyo estado puede ser pronosticado.
- “Flip-Flops”: son los elementos almacenadores de información más primitivos desde el inicio de la electrónica digital, inicialmente fueron utilizados para implementar registros paralelos y serie.
- Contadores: involucran compuertas lógicas y circuitos de memoria. Cuando ambos elementos son combinados, se les llama circuitos secuenciales, porque siguen una secuencia de conteo ascendente, descendente o un conteo salteado.

¹ George Boole, una vez trató de explicar el funcionamiento de la mente, basándose en una matemática muy simple que solo puede dar como solución dos posibilidades: o un 1 o un 0.

1.3.2 Estados Lógicos, Entradas y Salidas

El estado es el valor lógico que posee en un momento dado la compuerta ya sea a su entrada o a su salida se le denomina estado lógico. Para el avance rápido del tutorial se propone una técnica a la cual debe referirse a las figuras 7 y 8.

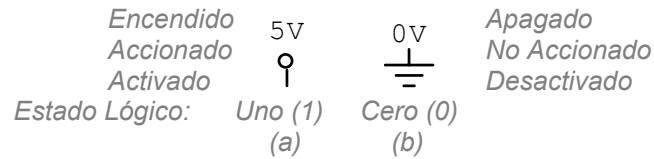


Figura 7. Entendimiento de un estado lógico. (a) Estado de uno (1) lógico. (b) Estado de cero (0) lógico.

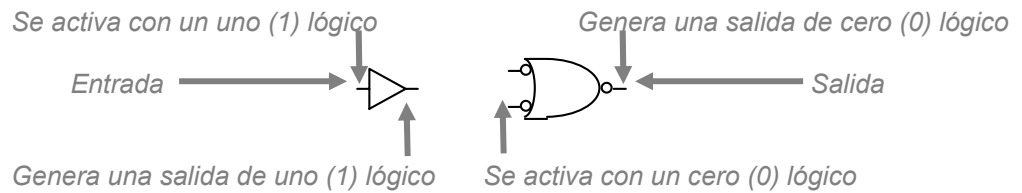


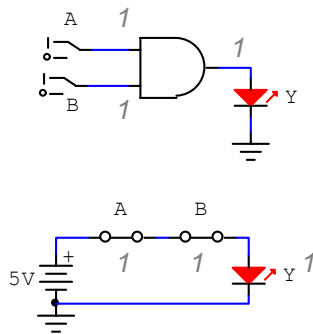
Figura 8. Estados de Entradas y salidas. Si la entrada/salida, no posee un círculo, se activa/genera un estado de cero lógico. Por otro lado, si la entrada/salida posee un círculo, se activa/genera un estado de uno lógico.

1.3.3 Compuertas Lógicas Básicas

Enfóquese en esta sección a la combinación que prende el LED en los esquemáticos. Excepción, la compuerta NOT (1.3.3.3).

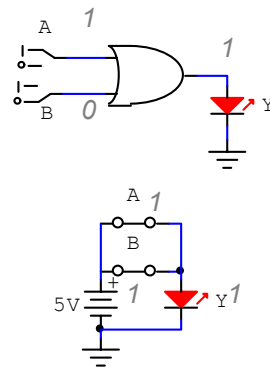
1.3.3.1 Compuerta AND

La compuerta AND solo necesita de Un 1 "Y" un 1 para generar un 1.



1.3.3.2 Compuerta OR

La compuerta OR solo necesita de un 1 "ó" en cualquier entrada para generar un "1".



1.3.3.3 Compuerta NOT

La compuerta NOT solo necesita de un 1 para generar un 0; invierte la señal.

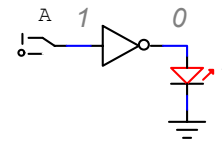
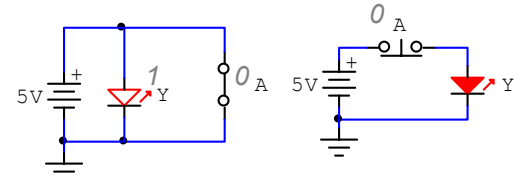


Figura 9. Compuertas Lógicas
Primera Fila: Símbolo esquemático.
Segunda Fila: Analogía Eléctrica.

Símbolo Esquemático

Ambas analogías eléctricas son válidas



Analogía Eléctrica

Tabla 29. Tablas de la Verdad de Compuertas Básicas

Entradas		Salida
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(a)

Entradas		Salida
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

(b)

Entrada	Salida
A	Y
0	1
1	0

(c)

Para obtener el número de posibles combinaciones solo basta en seguir la ecuación de 2^n , donde n es el número de entradas. Así, si $n = 2$, existen 4 combinaciones posibles.

A las tablas superiores se le conoce como **tabla de la verdad**: (a) Tabla de la verdad para la compuerta AND. (b) Tabla de la verdad para la compuerta OR. (c) Tabla de la verdad para la compuerta NOT.

Las tablas de verdad son el resultado de las posibles combinaciones que pueden darse entre sus entradas y el resultado del estado lógico de su salida. Si hay "n" entradas, existen 2^n combinaciones posibles, en este caso, cuatro (4) combinaciones.

1.3.4 Combinación de Compuertas

En esta sección, refiérase a la figura 10.

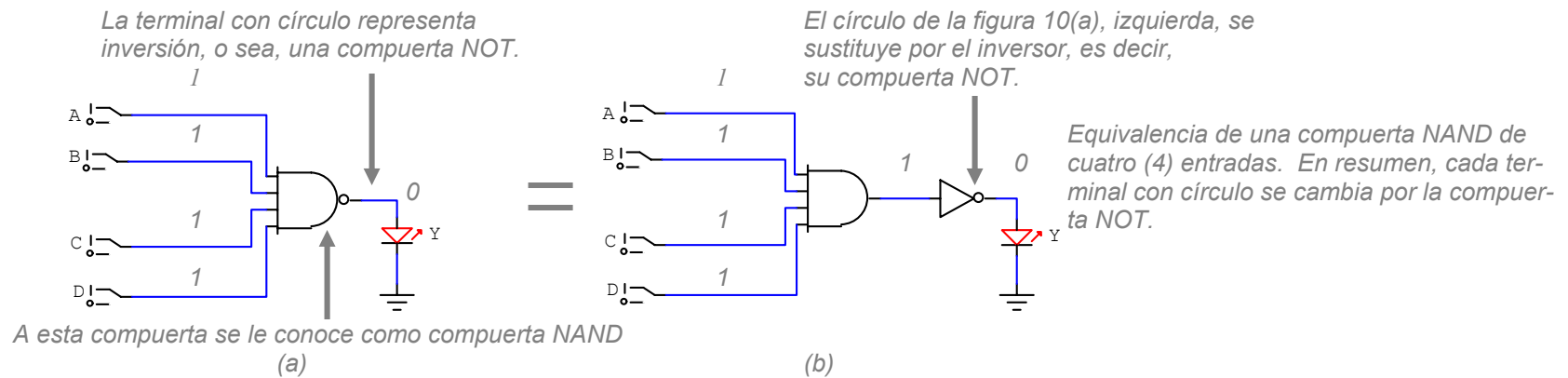


Figura 10. Compuerta NAND de 4 entradas. (a) Compuerta NAND. (b) Equivalente en su combinación de compuertas lógicas básicas.

Si se analiza el circuito de la figura 10, posee solamente una combinación que apaga el LED. Cualquier combinación que no sea $A = B = C = D = 1$, enciende el LED.

1.3.5 “Flip-Flops”

El “flip-flop” es el dispositivo de memoria básico más primitivo que ha existido en la era digital, este almacena solo un bit² de memoria. Los “flip-flops” se combinan con ayuda de compuertas, para realizar contadores, circuitos de llave electrónica, simples almacenadores de datos.

Nota: Ataque la compuerta donde la entrada sea 0. Cualquier combinación de entrada 0 resulta con un 1 a la salida (ver secciones 1.3.3.1 y 1.3.4)

1.3.5.1 “Latch” S-R Posicionar (S) - Reiniciar (R)

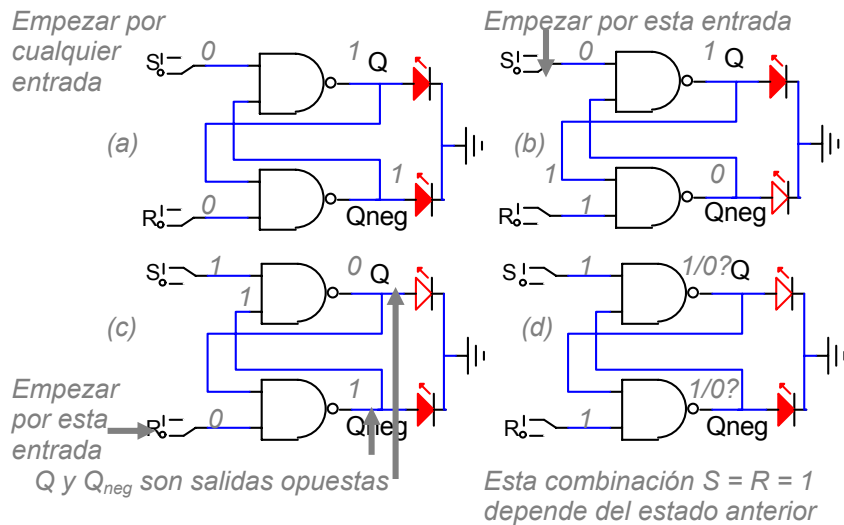


Tabla 30. Tabla de Verdad del “Latch” S-R

S	R	Q
0	0	1, Ambiguo
0	1	1
1	0	0
1	1	Sin cambio

*El estado S = R = 0 es un estado ambiguo para el “Latch” S-R no deseado si el dispositivo es una memoria.
El estado S = R = 1 preserva el estado anterior. Memoriza.*

Figura 11. “Latch” S-R. (a) S = R = 0. Estado ambiguo, no deseado. (b) S = 0, R = 1. Salida Q en uno (1) lógico. (c) S = 1, R = 0. Salida Q en cero (0) lógico. (d) S = R = 1, preserva el estado anterior.

² El bit es la cantidad más pequeña de información la cual se puede almacenar.

1.3.5.2 Flancos Alto Activo o Bajo Activo

A los “flip-flops” se les sincroniza por medio de una entrada para que cambien de estado en el momento deseado. Esta puede ser tanto bajo activo como alto activo. A su entrada de sincronía o reloj, se les denota por CK, CLK, CP, entre algunas nomenclaturas. A continuación los diferentes tipos de flancos:

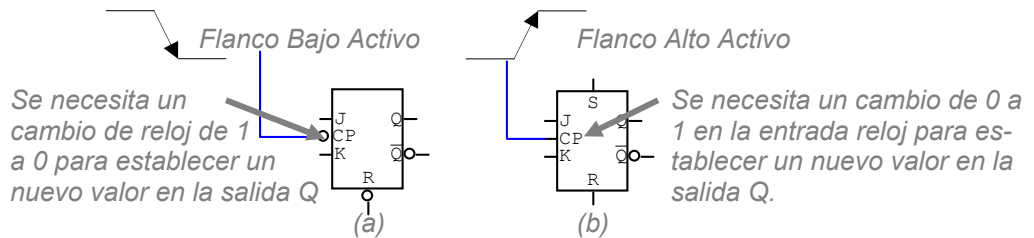


Figura 12. Entrada de Reloj. (a) Flanco de Activación Bajo Activo. Para reconocer un cambio en la salida Q, se necesita de un cambio de uno (1) lógico a cero (0) lógico. (b) Flanco de Activación Alto Activo. Para reconocer un cambio en la salida Q, se necesita de un cambio de cero (0) lógico a uno (1) lógico.

1.3.5.3 “Latch” S-R Sincronizado por Reloj

Los “flip-flops” son los dispositivos de memoria más antiguos de la era digital. Se utilizan como registros, aplicaciones de conteos, llaves electrónicas, etc.

Nota: Inicie atacando por la compuerta cuya combinación de entrada estén ambas en uno (1) lógico, esta combinación genera una salida en cero (0).

Depende del estado anterior

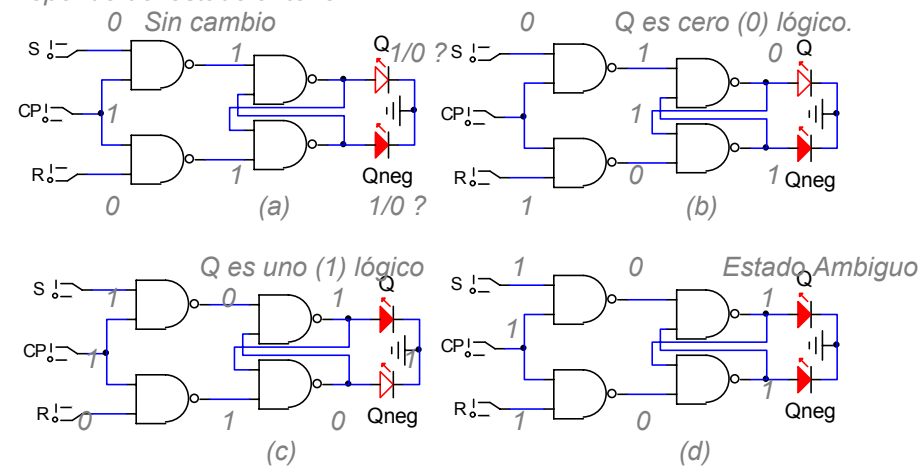


Figura 13. “Latch” S-R con entrada de reloj Alto Activa. (a) S = R = 0 CP = ↑. Estado sin cambio, el flip-flop preserva el estado anterior. (b) S = 0 R = 1 CP = ↑. La salida Q está a cero (0) lógico. (c) S = 1 R = 0 CP = ↑. La salida Q es un uno (1) lógico. (d) S = R = 1 CP = ↑. El estado es ambiguo.

Diagrama de Tiempo

Determine el estado siguiente
dependiendo del estado anterior

Estado siguiente (según la tabla 31)

Estado anterior
Q = 0 CP = ↑
S = R = 0

Q = 0, preserva el estado anterior

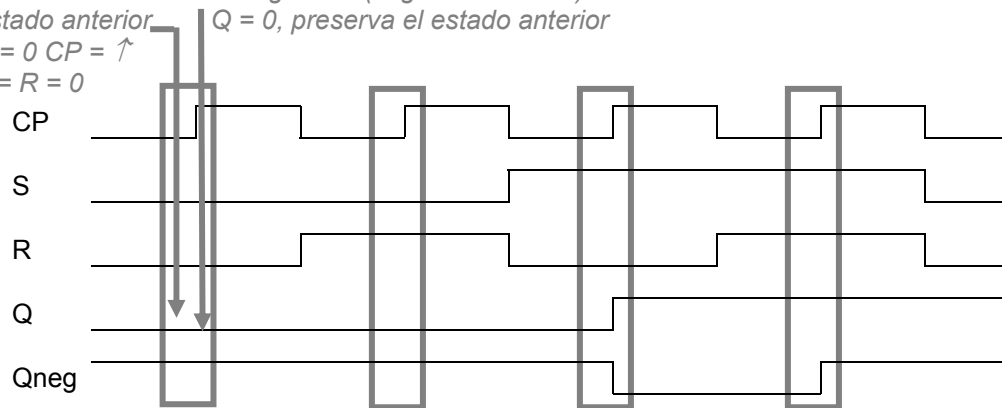


Figura 14. Diagrama de Tiempo del "Latch" S-R con Entrada Reloj Alto Activo.
Para determinar el estado siguiente del flip-flop, en el pulso de reloj debe analizarse el estado anterior.

Tabla 31. Tabla de la Verdad del "Latch" S-R Sincronizado por Reloj

CP	S	R	Q
↙	0	0	Sin cambio
↙	0	1	0
↙	1	0	1
↙	1	1	Ambiguo

Similar al "Latch" S-R sin entrada de reloj. Observar que todavía conserva el problema de un estado ambiguo en una de sus combinaciones.

1.3.5.4 “Flip-Flop” J-K

El “flip-flop” J-K opera al igual que el “flip-flop” S-R sincronizado por reloj. Este modelo elimina el estado ambiguo que se generaba en el “flip-flop” S-R en su combinación S = R = 1; dada esta combinación en un “flip-flop” J-K, la salida es conmutada, es decir, si la salida estaba en un estado de uno (1) lógico cambia a cero (0) lógico y viceversa.

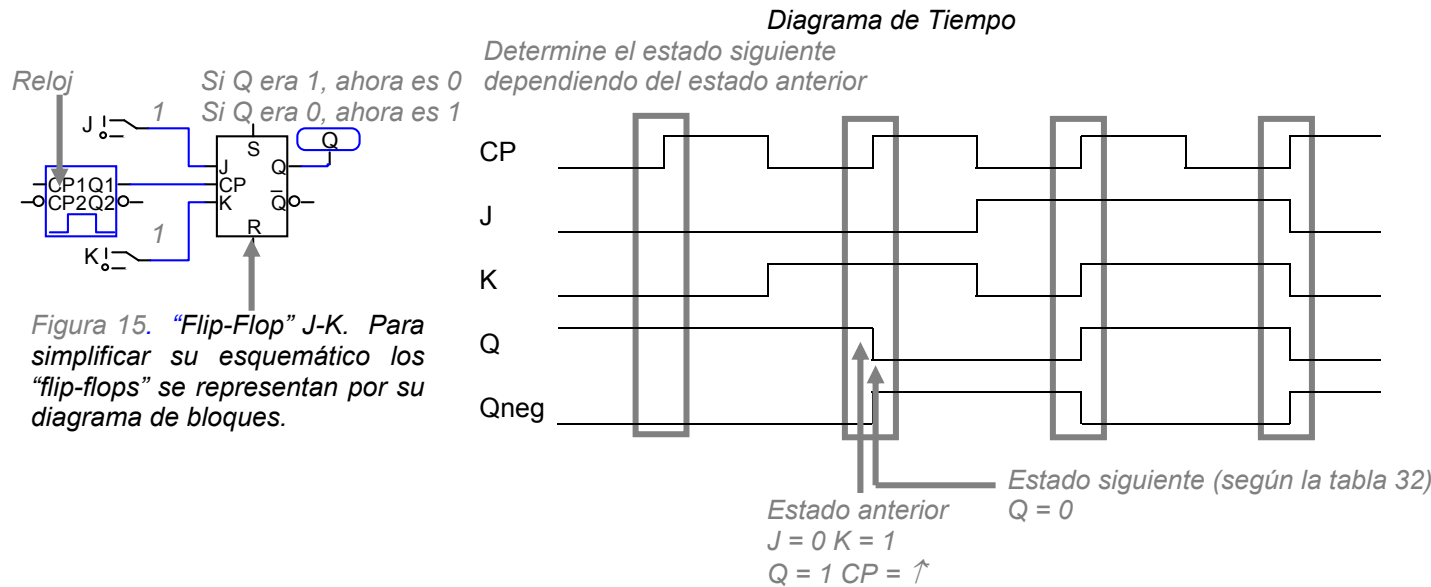


Tabla 32. Tabla de la Verdad del “Flip-Flop” J-K

CP	J	K	Q
↙	0	0	Sin cambio
↘	0	1	0
↙	1	0	1
↘	1	1	Conmuta

El “flip-flop” J-K elimina el estado ambiguo que generaba el “flip-flop” S-R en la combinación 1,1.

Figura 16. Diagrama de Tiempo del “Flip-Flop” J-K con Entrada de Reloj Alto Activo. Para determinar el estado siguiente en un diagrama de tiempo se deben comparar los estados de las entradas anteriores en el pulso (p.e. el pulso tres (3) J = 1 K = 0) con la tabla 32 para conseguir el estado siguiente.

Figura 15. “Flip-Flop” J-K. Para simplificar su esquemático los “flip-flops” se representan por su diagrama de bloques.

1.3.5.5 “Flip-Flop D” Data (D)

Un “flip-flop” de datos tiene la característica de que cada vez se de un pulso de reloj, su salida Q es igual al estado de su entrada. Este tipo de “flip-flops”, se utilizan en transferencia de datos paralela.

Al darse el pulso, copia lo que esté a su entrada

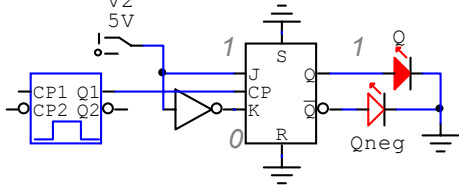


Figura 17. Construcción de un “Flip-Flop” Tipo D a Partir de un “Flip-Flop” J-K. Para que un “flip-flop” J-K trabaje como un tipo D, se deben cumplir las combinaciones dos (2) y tres (3) de la tabla 32.

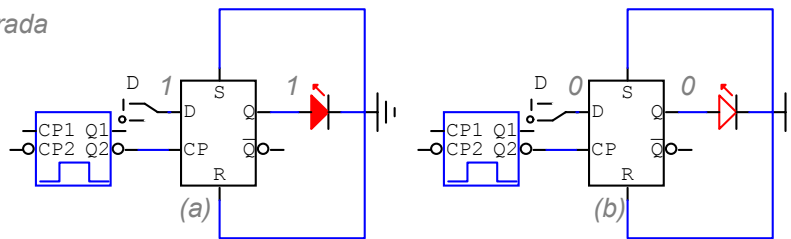


Figura 18. “Flip-Flop” Tipo D. (a) $CP = \uparrow D = 1$. Si la entrada D es uno (1) lógico, la salida Q toma el valor de su entrada ($Q = 1$). (b) $CP = \uparrow D = 0$. Si la entrada D es (0) lógico, la salida Q toma el valor de su entrada ($Q = 0$).

Tabla 33. Tabla de la verdad del “Flip-Flop” Tipo D

CP	D	Q
↗	0	0
↗	1	1

La salida del “flip-flop” tipo D es igual a su entrada, dado el pulso de reloj.

Diagrama de Tiempo

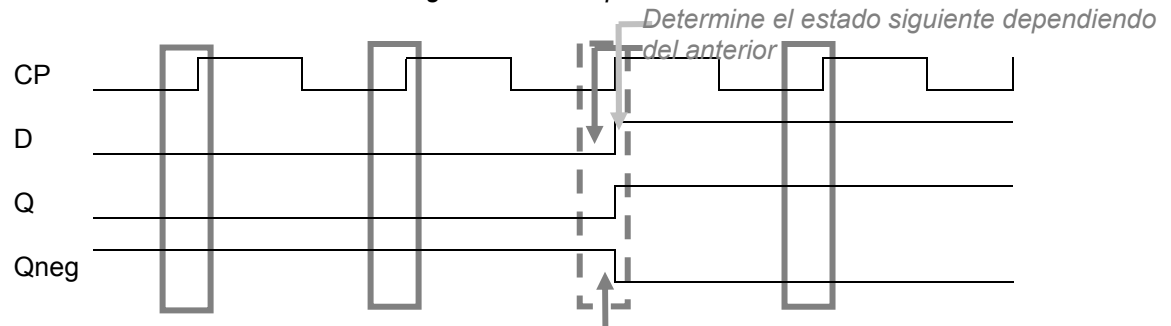


Figura 19. Diagrama de Tiempo del “Flip-Flop” tipo D. Para determinar el estado siguiente en un diagrama de tiempo se deben comparar los estados de las entradas anteriores en el pulso (p.e. el pulso tres (3) $D = 0$) con la tabla 33 para conseguir el estado siguiente ($Q = 1$).

1.3.5.6 “Flip-Flop” T – “Toggle” ó Cambio

Es un “flip-flop” especial, muy implementado en secuencias de conteo, pues su estado particular a entradas altas (1 lógico), genera un cambio en la señal de salida. Se utiliza para implementar llaves electrónicas, secuencias sucesivas repetitivas y asíncronas, etc. Los “flip-flops” T, y los anteriores “flip-flops” estudiados anteriormente, pueden usarse para un proyecto de este tipo.

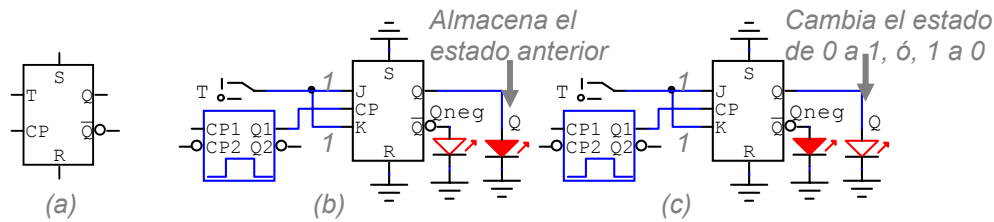


Tabla 34. Tabla de la Verdad del Flip-Flop Tipo T

CP	T	Q
↖	0	Sin cambio
↖	1	Conmuta

Figura 20. “Flip-Flop” Tipo T. (a) Diagrama de bloque del “flip-flop” tipo T. (b) Construcción de un “flip-flop” tipo T a partir de un J-K. Estado sin cambio. $T = 1$ $CP = \hat{\uparrow}$, el “flip-flop” preserva el estado anterior. (c) Construcción de un “flip-flop” tipo T a partir de un J-K. Estado de conmutación. $T = 1$ $CP = \hat{\uparrow}$. si la salida era cero (0) cambia a uno (1) y viceversa.

Ver combinaciones uno (1) y cuatro (4) de la tabla 32 para construir un flip-flop T a base de un “flip-flop” J-K. Dado el pulso de reloj, si la entrada T es cero (0), preserva el estado anterior; si la entrada T es uno (1), conmuta el estado anterior.

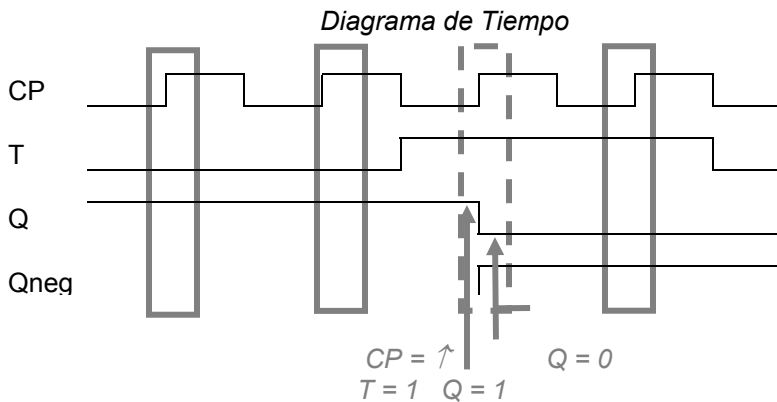


Figura 21. Diagrama de Tiempo del “Flip-Flop” Tipo T. Para determinar el estado siguiente en un diagrama de tiempo se deben comparar los estados de las entradas anteriores en el pulso (p.e. el pulso tres (3) $T = 1$ $Q = 1$) con la tabla 34 para conseguir el estado siguiente ($Q = 0$).

1.3.6 Contadores

Nota: FF = "flip-flop".

1.3.6.1 Contador de Cero (0) a Siete (7)

Hay diferentes tipos de contadores, síncronos y asíncronos. Solamente, de manera demostrativa se explicarán los contadores asíncronos.

Los contadores asíncronos se usan en secuencias de conteo ascendente o descendente. Siguen la regla de 2^n , donde n es el número de "flip-flops". Por ejemplo, para realizar un conteo de cero (0) a siete (7), se evalúa 2^n hasta que el resultado sea ligeramente mayor al número a contar o mejor llamado número módulo; el número de "flip-flops" resultante es tres (3) y su módulo es ocho ($2^3 = 8$).

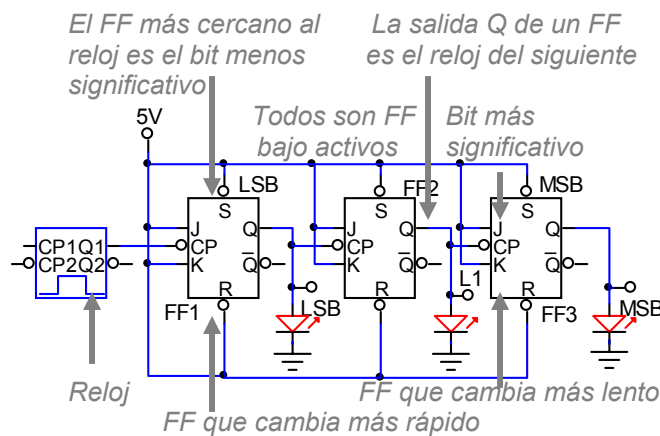


Tabla 35. Conteo Ascendente de un Contador de 0 a 7

FF3	FF2	FF1	Pulso No.
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7
0	0	0	8

Figura 22. Contador de Cero (0) a Siete (7). Para un conteo ascendente todos los "flip-flops" deben ser de entrada de reloj bajo activos y la salida Q de cada "flip-flop" alimenta al reloj del siguiente.

Después del séptimo (7^{mo}) pulso, se reinicia la cuenta y el ciclo sigue indefinidamente.

1.3.6.2 Reinicio de un Contador

Ejemplo: Generar un conteo de cero (0) a cinco (5) cíclico.

Nota: Reiniciar el contador en el número seis (6).

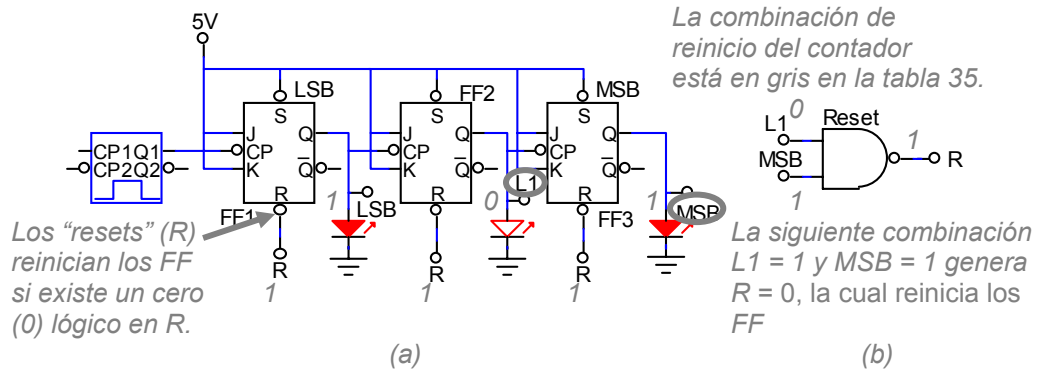


Figura 23. Contador de Cero (0) a Cinco (5). Para que un contador cuente hasta un número en específico, siempre se debe de reiniciar en el siguiente número, en este caso, el número seis (6). (a) Secuencia cinco (5). No reinicia el contador porque la señal proveniente del reset es un uno (1) lógico en cada FF. (b) Circuito de reinicio del contador. El contador reinicia a la secuencia seis (6), donde la salida R de la compuerta NAND es un cero (0) lógico y activa los resets de los contadores.

1.3.7 Conclusión

Se abarcaron temas introductorias básicos de los sistemas lógicos digitales como lo son compuertas las lógicas básicas AND, NOT y OR; estudios de dispositivos primitivos de memoria como lo son los "flip-flops", empezando desde su diagrama por compuertas lógicas hasta su diagrama de bloque y de tiempo. Finalmente, se hicieron estudios básicos de contadores y reinicio de conteos de forma cíclica.

La lógica digital es el nivel de entrada para el entendimiento de la arquitectura de una computadora, siendo el álgebra booleana la lógica que respeta el cálculo de estas máquinas. Para el uso de microcontroladores basta el conocimiento básico de algunos conceptos básicos de electrónica digital.

1.3.8 Referencias

1.3.8.1 Sistemas Digitales, Principios y Aplicaciones

Autor: Ronald J. Tocci
Recurso: Capítulo 4 – Circuitos Lógicos Combinatorios
Capítulo 5 – Flip-Flops y Dispositivos Relacionados
Capítulo 7 – Contadores y Registros

1.3.8.2 Curso de Lógica digital

(a) <http://64.37.74.189/Gratis/Cap1TiposDeLogica.pdf>

1.3.8.3 Sumario de tablas de verdad de las compuertas lógicas básicas

(a) <http://educ.queensu.ca/~compsci/units/BoolLogic/summary.html>

1.3.8.4 Lógica Booleana y Compuertas Lógicas

(a) <http://www.romalo.250x.com/contenido/logcomp/>

1.3.8.5 “Flip-Flops”

(a) http://medusa.unimet.edu.ve/sistemas/bpis03/flip_flops.htm
(b) <http://www.ifent.org/lecciones/digitales/secuenciales/OtrosFF.htm>

1.3.8.6 “Flip-Flops”, Máquinas de Estado, Contadores y Registros

(a) http://venus.javeriana.edu.co/tutores/redes_secuenciales/FPContenido1.htm

1.3.8.7 Problemas de Biestables (“Flip-Flops”)

(a) <http://geryon.uc3m.es/digital/t4/t4p01.htm>

1.3.8.8 Contadores Asíncronos

(a) http://medusa.unimet.edu.ve/sistemas/bpis03/contadores_asincronos.htm

1.3.8.9 Curso de Electrónica Digital, Microprocesadores y Microcontroladores

(a) http://www.upmdie.upm.es/Espanol/Docencia/Asignaturas/Electronica_II.htm

1.3.8.10 Página “web” sobre esta Nota Técnica

(a) <http://www.geocities.com/issaiass/>

1.3.9 Problemas Propuestos

(a) ¿Qué combinación apagará un led a la salida de la siguiente compuerta? (c) ¿Qué sucede en esta combinación con la salida Q del FF?

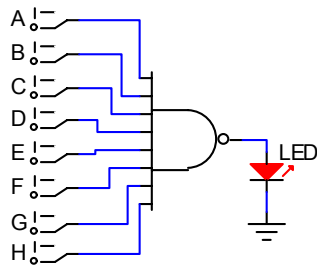


Figura 24. Ejercicio 1

(b) Genere la tabla de la verdad de la siguiente compuerta

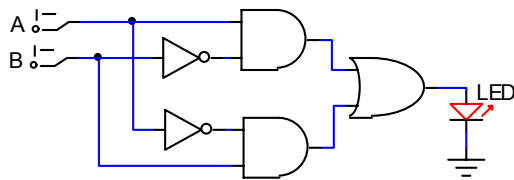


Figura 26. Ejercicio 2

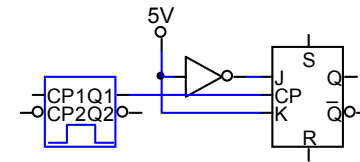


Figura 25. Ejercicio 2

(d) ¿Cómo será el diagrama de un contador de cero (0) a tres (3) que reinicie la segunda vez que pasa por el número dos (2)?

Respuestas:

(a) $A = B = C = D = E = F = G = 1$

(b) Tabla 36. Respuesta al Ejercicio 2

A	B	LED
0	0	0
0	1	1
1	0	1
1	1	0

(c) La salida Q siempre será 0

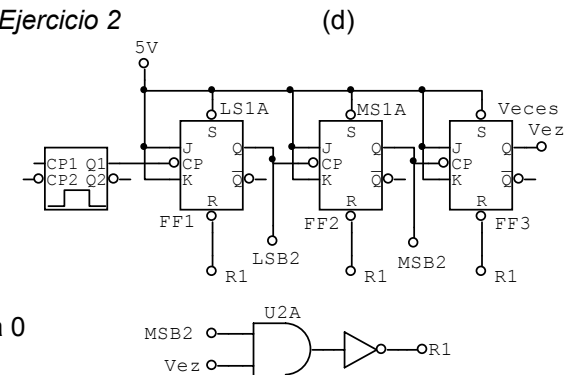


Figura 27. Ejercicio 4